

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-062793

(43)Date of publication of application : 02.03.1990

(51)Int.Cl.

G11C 14/00  
H01L 27/105  
H01L 29/788  
H01L 29/792

(21)Application number : 63-214517

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.08.1988

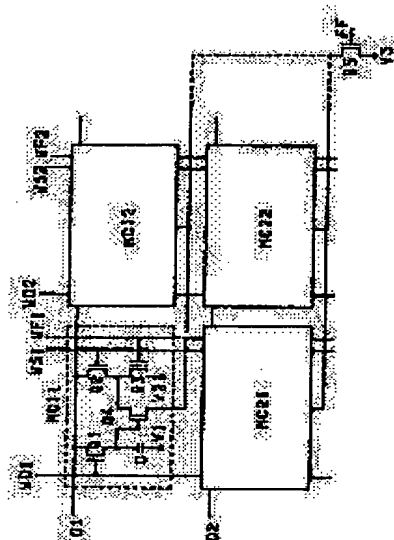
(72)Inventor : KURODA KENICHI

## (54) NONVOLATILE RAM

## (57)Abstract:

**PURPOSE:** To attain the simultaneous data transfer of all bits with simple constitution by providing amplification MOSFET to transmit the holding voltage of a capacitor for information holding a dynamic type memory cell to an nonvolatile storage element constituting an unvolatile memory cell.

**CONSTITUTION:** A memory cell MC11 is constituted of first MOSFETQ1 for address selection and a capacitor C for information storage to obtain a dynamic type memory cell. On the other hand, the nonvolatile memory cell is constituted of second MOSFETQ2 and the stuck gate MOSFETQ3 of FLOTOX (floating gate tunnel oxide) type. The holding voltage of the capacitor C for storage of the dynamic type memory cell is supplied to a gate and amplification MOSFETQ4 to transmit its drain output to the drain of the stuck gate MOSFETQ3 is provided. Thus, the simultaneous data transfer of all bits to the nonvolatile storage element can be executed with the simple constitution.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-62793

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月2日

G 11 C 14/00  
H 01 L 27/105  
29/788  
29/792

8522-5B G 11 C 11/34 3 5 2 A  
8624-5F H 01 L 27/10 4 4 1  
7514-5F 29/78 3 7 1

審査請求 未請求 請求項の数 3 (全8頁)

⑮ 発明の名称 不揮発性RAM

⑯ 特 願 昭63-214517

⑰ 出 願 昭63(1988)8月29日

⑱ 発 明 者 黒 田 謙 一 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 徳若 光政

明 細 書

1. 発明の名称

不揮発性RAM

2. 特許請求の範囲

1. アドレス選択用の第1MOSFETと情報記憶用キャパシタとらなるダイナミック型メモリセルと、アドレス選択用の第2MOSFETとスタックドゲート構造の不揮発性記憶素子からなる不揮発性メモリセルと、上記キャパシタの保持電圧がゲートに供給され、そのドレインが上記アドレス選択用MOSFETと不揮発性記憶素子との接続点に接続された増幅MOSFETとを備えたメモリセルを具備することを特徴とする不揮発性RAM。

2. 上記ダイナミック型メモリセルと不揮発性メモリセルとは共通のデータ線に結合されるものであり、ダイナミック型メモリセルのアドレス選択用の第1MOSFETのゲート、不揮発性メモリセルのアドレス選択用の第2MOSFETのゲート及び不揮発性記憶素子のコントロー

ルゲートは、それぞれのワード線に結合されるものであることを特徴とする特許請求の範囲第1項記載の不揮発性RAM。

3. 上記不揮発性記憶素子は、キャパシタの電位がロウレベルのとき増幅MOSFETの出力信号によりフローティングゲートに蓄積された電荷の引き抜きが行われるものであることを特徴とする特許請求の範囲第1又は第2項記載の不揮発性RAM。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、不揮発性RAMに関し、特にダイナミック型メモリセルと不揮発性メモリセルとを組み合わせるものに利用して有効な技術に関するものである。

(従来の技術)

書き込み/消去が可能な大容量のEEPROM(エレクトリカル・イレーザブル&プログラマブル・リード・オンリー・メモリ)が開発されている。しかし、書き込み/消去回数に制限があるこ

と、及び 書き込み/消去時間が比較的長い点からスタティック型RAMやダイナミック型RAMのような使い方ができない。このため、ダイナミック型RAMとEEPROMを組み合わせた不揮発性RAMが提案されている。この不揮発性RAMは、通常動作ではRAMを使用し、電源がダウンした等の事故時にはRAMのデータをEEPROMに転送してデータの保持を行う。

このような不揮発性RAMに関しては、例えば1988年2月発行の、アイイーイーイー ジャーナル オブ ソリッドステート サーキット (IEEE JOURNAL OF SOLID-STATE CIRCUITS) VOL23、No 1、PP86~90がある。

〔発明が解決しようとする課題〕

上記不揮発性RAMは、ダイナミック型RAMとFLOTOXとを用いており、使用素子数は少なくできるが、ダイナミック型RAMからEEPROMへのデータ転送が全ビット同時にできないので、データの転送に時間がかかり、かつ転送用に大きな充電用の容量を必要とする。したがって、

上記した手段によれば、保持情報が増幅MOSFETを介して不揮発性記憶素子に伝えられるので、簡単な構成で不揮発性記憶素子へのデータ転送を全ビット同時に行うことができる。

〔実施例〕

第1図には、この発明に係る不揮発性RAMの要部一実施例の回路図が示されている。

同図の各回路素子は、後述するような半導体集積回路の製造技術によって、単結晶シリコンのような1個の半導体基板上において形成される。

同図においては、発明の理解を容易にするため、2×2個のメモリセルの配置が代表として例示的に示されている。同図に点線で示すようにメモリセルMC11の具体的回路構成が代表として例示的に示されている。メモリセルMC11は、アドレス選択用の第1MOSFETQ1と情報記憶用キャパシタCとにより公知のダイナミック型メモリセルが構成される。これに対して、アドレス選択用の第2MOSFETQ2とFLOTOX(フローティングゲート・トンネルオキサイド)型の

上記のような予期しない電源事故に対する記憶情報の不揮発化には大きな問題を残している。

なお、スタティック型RAMに上記のような不揮発性記憶素子を組み合わせた不揮発性RAMも開発されているが、使用素子数が多いため大記憶容量化に不適當である。

この発明の目的は、簡単な構成で全ビット同時にデータ転送が可能な不揮発性RAMを提供することである。

この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、ダイナミック型メモリセルの情報保持用キャパシタの保持電圧を不揮発性メモリセルを構成する不揮発性記憶素子に伝える増幅MOSFETを設ける。

〔作 用〕

スタックドゲートMOSFETQ3とにより不揮発性メモリセルが構成される。この実施例では、上記ダイナミック型メモリセル側から不揮発性メモリセルへの全ビット同時データ転送を可能にするため、上記ダイナミック型メモリセルの記憶用キャパシタCの保持電圧がゲートに供給され、そのドレイン出力を上記スタックドゲートMOSFETQ3のドレインに伝える増幅MOSFETQ4が設けられる。上記メモリセルMC11と共にマトリックス配置された他のメモリセルMC12、MC21及びMC22も上記メモリセルMC11と同様な回路構成とされる。

同じ行に配置されるメモリセルMC11とMC12及びMC21とMC22は、横方向に配置されるデータ線D1とD2にそれぞれ共通に接続される。すなわち、メモリセルMC11について説明すると、データ線D1に対してアドレス選択用MOSFETQ1とQ2のドレインが共通に接続される。

同じ列に配置されるメモリセルMC11とMC

21のうち、ダイナミック型メモリセルを構成するアドレス選択用の第1MOSFETQ1等のゲートは、縦方向に延長される第1ワード線WD1に結合される。不揮発性メモリセルを構成するアドレス選択用の第2MOSFETQ2等のゲートは、第2ワード線WS1に結合される。そして、不揮発性メモリセルを構成するスタックドゲートMOSFETQ3等のコントロールゲートは、第3ワード線WF1に結合される。他の列に配置されるメモリセルMC12及びMC22の各MOSFETのゲートも、上記同様な第1～第3ワード線WD2、WS2及びWF3にそれぞれ共通に接続される。

上記メモリセルMC11ないしMC22等の増幅MOSFETQ4等のソースは、共通のソース線に結合される。この共通ソース線は、増幅MOSFETQ4等の動作を有効にする制御信号FFによりスイッチ制御されるスイッチMOSFETQ5を介して電位V3に接続される。この電位V3は、特に制限されないが、回路の接地電位とさ

れる。

上記データ線D1、D2等には、ダイナミック型メモリセルの読み出しを行うセンスアンプや、必要に応じてアクティブリストア回路、及びブリッジ回路や、読み出し基準電圧を形成するダミーセル及びカラムスイッチ回路等が設けられるものである。このような回路は、公知のダイナミック型RAMのそれと同様なものを利用でき、本発明には直接的には関係がないのでその説明を省略する。同様にワード線WD1、WD2等は、公知のダイナミック型RAMと同様なワード線選択回路の出力端子に結合される。なお、ダイナミック型メモリセルを一对一の平行に配置された相補データ線を持つ2交点方式で配置する場合、それに応じて上記ワード線の配置が変更される。すなわち、1つのワード線には、反転又は非反転のデータ線に結合されたいずれか一方のメモリセルが結合されるものとなる。

次に、上記メモリセルの書き込み/読み出し動作について説明する。

#### 1) ダイナミック型RAMの動作

不揮発性メモリセルが結合されるワード線WSやWFをロウレベルの非選択状態にさせる。これにより、MOSFETQ2がオフ状態となり、データ線D1等と不揮発性メモリセルが結合されることはない。したがって、通常のダイナミック型RAMと同様にワード線WDの選択動作とデータ線Dの選択動作に従って選択されたダイナミック型メモリセルへの書き込み/読み出しが行われる。これによって、ダイナミック型メモリセルの情報記憶キャパシタCにはデータの書き換えが行われるものとなる。この間は、上記不揮発性メモリセルに対してはまったく書き込みが行われないので、不揮発性記憶素子の持つ書き込み回数の制限という問題が解消される。

#### 2) ダイナミック型メモリセルから不揮発性メモリセルへのデータ転送

電源が遮断されると、言い換えるならば、ダイナミック型メモリセルの記憶情報を不揮発性メモリセルを構成するスタックドゲートMOSFET

Q3にキャパシタCの保持情報に従ったデータを書き込むものとする。この書き込み動作においては、各ワード線WD1、WS1及びWFをロウレベルの非選択レベルとし、信号FFをハイレベルにしてMOSFETQ5をオン状態にする。これにより増幅MOSFETQ4等を活性化させる。その後、データ線D1に書き込み用の高レベルを供給しておく。

そして、各ワード線WS1、WS2等を書き込み高レベルにすると、情報記憶用キャパシタCの保持電位がハイレベルの場合、増幅MOSFETQ4がオン状態になり、上記データ線D1やアドレス選択用の第2MOSFETがオン状態であるにもかかわらずスタックドゲートMOSFETQ3のドレイン電位をロウレベルにする。これにより、フローティングゲートとドレインとの間に高電界が作用しないからフローティングゲートに蓄積された電子はそのまま蓄積された状態になる。すなわち、スタックドゲートMOSFETQ3はエンハンスモードとなる。

これに対して、情報記憶用キャパシタCの保持電位がロウレベルの場合、増幅MOSFETQ4がオフ状態になり、上記データ線D1やアドレス選択用の第2MOSFETQ2のオン状態に応じてスタックドゲートMOSFETQ3のドレイン電位が高レベルになる。これにより、フローティングゲートからドレインに向かう高電界が作用し、フローティングゲートに蓄積された電子がトンネル現象によりドレイン側に引き抜かれる。これにより、スタックドゲートMOSFETはディプレッションモードになる。

このように、ダイナミック型メモリセルから不揮発性メモリセルへのデータ転送においては、ワード線やデータ線のレベル設定により、各メモリセル内部で自動的にデータ転送が行われるので、全メモリセルについて同時転送が可能になる。

3) 不揮発性メモリセルからダイナミック型メモリセルへのデータ転送

電源を再投入したとき、ワード線WF1、WF2等を回路の接地電位のようなロウレベルにし、

制御信号FFをロウレベルにする。これにより、スタックドゲートMOSFETQ3等のコントロールゲートには、回路の接地電位が与られ、MOSFETQ5がオフ状態になって増幅MOSFETQ4がオフ状態になる。

そして、ワード線WS1をハイレベルにするとアドレス選択用の第2MOSFETQ2がオン状態になり、スタックドゲートMOSFETQ3がエンハイスモードのときには、上記コントロールゲートが結合されたワード線WF1の接地電位によりオフ状態となり、データ線D1への読み出しデータがハイレベルになる。そして、上記ワード線WS1に対応するワード線WD1をハイレベルにすると、アドレス選択用の第1MOSFETQ1がオン状態になり、上記データ線D1の読み出しハイレベルがキャパシタCに書き込まれるものとなる。一方、スタックドゲートMOSFETQ3がディプレッションモードのときには、上記コントロールゲートが結合されたワード線WF1の接地電位によりオン状態となり、データ線D1へ

の読み出しデータがロウレベルになる。このロウレベルの信号は、上記同様にキャパシタCに転送される。このようにして、電源遮断前の記憶データの回復(不揮発化)が可能になる。

以上の動作を各列について順次繰り返すことによって、全メモリセルのデータの回復が行われる。すなわち、不揮発性メモリセルからダイナミック型メモリセルへのデータ転送は、データ線を介して行うものであるため、メモリセル内部でダイナミック型メモリセルから不揮発性メモリセルへのデータ転送を行う場合と異なり、ワード線の選択動作により1列ずつ行われるものとなる。すなわち、上記のようなワード線WSとWDの選択動作は、ダイナミック型RAMにおけるリフレッシュ動作と類似の選択動作により行われるものである。それ故、NVRAM内部で自動的にデータ転送を行わせる場合には、自動リフレッシュ回路と同様なアドレスカウンタ回路が設けられる。

4) 不揮発性メモリセルの初期化

上記全データについて転送が行われると、不揮

発性メモリセルの初期化(消去動作)が行われる。すなわち、データ線D、ワード線WD、WS及び制御信号FFをロウレベルにし、ワード線WFのみを消去用の高レベルにする。これにより、スタックドゲートMOSFETQ3のフローティングゲートには、ドレインから電子が注入されて前記のように電荷を蓄積した状態になる。これにより、以前の記憶データが消去され、次の電源遮断時の書き込み動作に備える。

この実施例のメモリセルは、ダイナミック型メモリセルと不揮発性メモリセルとに増幅MOSFETを追加するものがあるため合計で5個と素子数を少なくできる。また、ダイナミック型メモリセルの保持データを増幅MOSFETを介して不揮発性記憶素子に同時書き込みを行われることができるものである。

第2図には、上記第1図に示したような不揮発性メモリNVRAMを用いたマイクロコンピュータシステムの一実施例のブロック図が示されている。

マイクロプロセッサCPUは、制御部、演算部及びいくつかのレジスタ等から構成され、種々の制御及び演算を行う。不揮発性メモリNVRAMは、上記のように電源遮断時にダイナミック型メモリセルのデータを不揮発性メモリセルに転送させ、電源再投入時には不揮発性メモリセルに保持されたデータをダイナミック型メモリセル側に転送させるという動作を行う。このため、不揮発性メモリNVRAMは、マイクロプロセッサCPUにおいて演算途中のデータを一時記憶させるレジスタとして用いることが便利である。これにより、電源再投入時には演算途中から再開させることができるものとなる。これに対してメモリRAMは、ダイナミック型RAMやスタティック型RAMから構成され、電源遮断に対して消滅しても問題のないデータ等の格納のために用いられる。また、メモリROMは、リード・オンリー・メモリから構成され、主として演算手順等を指示するプログラム等が格納されている。このROMは、マスク型ROMやEPROM等が用いられる。

T(PMOS)の製造方法を説明するための製造工程断面図が示されている。

第3A図において、P型半導体基板1の一主面にN型のウェル領域21を形成する。比較的厚い厚さのフィールド絶縁膜2と略同一構成でフィールド絶縁膜2の下側にP型のチャンネルストップ3を形成する。上記フィールド絶縁膜2は、素子形成領域を除く半導体基板1の表面に形成されるものである。

第3B図において、ダイナミック型メモリセルを構成するキャパシタの一方の電極及びスタックドゲートMOSFET(FLOTOX型)のトンネル絶縁膜下部の拡散層(ドレイン)となるN型の拡散層5を形成する。この拡散層5は、イオン打ち込み技術によりN型不純物としての砒素を選択的に注入することにより形成される。

素子形成領域上の絶縁膜4'を除去した後、清浄な第1ゲート絶縁膜4を形成する。このとき、拡散層5の上部には厚いゲート絶縁膜6が形成される。

入出力回路I/Oは、外部とのデータのやりとりを行う入出力インターフェイスである。上記各回路ブロックは、マイクロプロセッサCPUを中心として、アドレスバスABUS、データバスDBUS及びコントロールバスCBUSにより接続される。また、図示されていないが、不揮発性メモリNVRAMは、その動作に必要な高電圧を形成する昇圧回路(チャージポンプ回路)を含むものと理解されたい。また、外部電源遮断に対して上記データ転送の間の給電を確保するキャパシタ等を用いた充電回路等も設けられる。上記各回路ブロックは、特に制限されないが、1チップの半導体集積回路により形成されて1チップのマイクロコンピュータを構成するもの、あるいは1ないし複数のプリント基板等の実装基板上に搭載されるものである。

第3A図ないし第3D図及び第4図には、上記メモリセルを構成する各素子C、Q1、Q3及び周辺のCMOS回路を構成するNチャンネルMOSFET(NMOS)、PチャンネルMOSFET

第3C図において、キャパシタC、スタックドゲートMOSFETQ3のトンネル部の前記絶縁膜6を除去した後、薄い厚さのゲート絶縁膜22を形成する。この薄いゲート絶縁膜22は、キャパシタCの絶縁膜及びFLOTOX型のスタックドゲートMOSFETQ3のトンネル絶縁膜となる。

多結晶シリコン等による第1の導電膜を堆積後に、所定のパターンニングを行い、キャパシタCの一方の電極、MOSFETQ3のフローティングゲート、アドレス選択用の第1MOSFETQ1のゲート電極7を形成する。なお、図示しないアドレス選択用の第2MOSFETQ2も上記MOSFETQ1と同様に形成される。この場合、FLOTOX型のスタックドゲートMOSFETQ3のトンネル絶縁膜22下に設けられた拡散層6は、図示しない上記アドレス選択用の第2MOSFETQ2の一方のソース、ドレイン領域と共用される。

第3D図において、厚い厚さの層間絶縁膜8を

形成する。そして、少なくともFLOTOX型のスタックドゲートMOSFETQ3のフローティングゲート電極上部の前記層間絶縁膜8と、周辺回路を構成するNMOS、PMOSを形成すべき半導体基板1、21の上部の絶縁膜を除去した後、前記層間絶縁膜8よりも薄い層間絶縁膜9を形成する。このとき、同一工程でNMOS、PMOSのゲート絶縁膜10も形成される。

多結晶シリコン等による第2の導電膜を堆積後、所定のパターンニングを行い、FLOTOX型のスタックドゲートMOSFETQ3のコントロールゲート、NMOS、PMOSのゲート電極11を形成する。

第4図において、NMOSの高耐圧化のために、そのソース、ドレイン領域を構成する低い不純物濃度のN型拡散層12を形成する。同様にPMOSの高耐圧化のために、そのソース、ドレイン領域を構成する低い不純物濃度のP型拡散層13を形成する。

ゲート絶縁膜の側面及び基板上に熱酸化膜を形

成する。これはFLOTOX型のスタックドゲートMOSFETQ3のフローティングゲート7から電子がリークしてしまうを防止するとともに、ゲート電極端部における耐圧を向上させるためのものである。

全面にCVD法により酸化シリコン膜を堆積後、異方性エッチングにより、サイドウォール14を形成する。そして、NMOSのソース、ドレインを構成する高い不純物濃度のN型の拡散層15を形成する。同様にPMOSのソース、ドレインを構成する高い不純物濃度のP型の拡散層16を形成する。

この後は、図示しないが、PSG、BPSGあるいはこれらの組み合わせからなる層間絶縁膜を堆積させる。素子のソースやドレインとの電気的接続を得るコンタクトホールを形成し、アルミニウム等の配線材を堆積後、所定のパターンニングを行う、素子間を相互に接続する配線を形成する。そして、PSG等からなるファイナルパッシベーション膜を形成する。

このような製造方法を採用することによって、ダイナミック型メモリセルを構成する各素子と、不揮発性メモリセルを構成するFLOTOX型のスタックドゲートMOSFETとを略同一の工程で形成することができ、製造工程の簡略化が可能になるものである。

上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1)ダイナミック型メモリセルの情報保持用キャパシタの保持電圧を不揮発性メモリセルを構成する不揮発性記憶素子に伝える増幅MOSFETを設けてメモリセル内部でデータ転送を可能とすることにより、簡単な構成でダイナミック型メモリセルから不揮発性メモリセルへの全ビット同時のデータ転送を実現できるという効果が得られる。

(2)不揮発性記憶素子として、FLOTOX型のスタックドゲートMOSFETを用い、そのフローティングゲートに電荷を蓄積しておいて、キャパシタの電位がハイレベルのとき増幅MOSFETによりフローティングゲートに蓄積された電荷の

引き抜きを行う構成を採用することによって、簡単にデータ転送を行うことができるという効果が得られる。

(3)上記(1)により全ビット同時のデータ転送が行われるから、電源遮断等の事故に対しても比較的簡単な充電回路を用いてデータの不揮発化が可能になるという効果が得られる。

(4)ダイナミック型メモリセルを構成するキャパシタの一方の電極と不揮発性メモリセルを構成するFLOTOX型の不揮発性記憶素子のトンネル絶縁膜下部の拡散層(ドレイン)、キャパシタの絶縁膜と上記不揮発性記憶素子のトンネル絶縁膜、キャパシタの他方の電極と上記不揮発性記憶素子のフローティングゲートとをそれぞれ同一の工程で同時に形成することにより、製造工数の簡素化が可能になるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでも



ない。例えば、不揮発性記憶素子としてはFLOTOX型の他、ホットエレクトロンを発生させてフローティングゲートへの電子の注入を行い、フローティングゲートに蓄積された電子をトンネル現象を利用して引き抜くようにした素子を利用するもの、あるいはMNOS（シリコン・ナイトライド・オキシド・セミコンダクタ）を利用するもの等であってもよい。ただし、その書き込みについては、上記のようにキャパシタの保持電圧を受ける増幅MOSFETのオン状態／オフ状態に応じてフローティングゲートへの電荷の注入又は引き抜きが行われるようにすることが条件となるものである。また、製造方法やその構造は、前記実施例に限定されず、種々の実施形態を採ることができるものである。

この発明は、不揮発性RAMとして広く利用することができる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

FET、CPU・・・マイクロプロセッサ、NVRAM・・・不揮発性メモリ、RAM・・・ランダム・アクセス・メモリ、ROM・・・リード・オンリー・メモリ、I/O・・・入出力回路、ABUS・・・アドレスバス、CBUS・・・コントロールバス、DBUS・・・データバス

1・・・P型基板、21・・・N型ウェル領域、2・・・フィールド絶縁膜、3・・・チャンネルストッパー、4・・・絶縁膜、4'・・・第1ゲート絶縁膜、5・・・拡散層、6・・・厚いゲート絶縁膜、22・・・薄いゲート絶縁膜（トンネル絶縁膜）、7・・・ゲート電極（フローティングゲート）、8・・・厚い層間絶縁膜、9・・・薄い層間絶縁膜、10・・・ゲート絶縁膜、11・・・ゲート電極、12、13・・・低濃度ソース、ドレイン、14・・・サイドウォール、15、16・・・高濃度ソース、ドレイン

代理人弁理士 徳若 光政

記の通りである。すなわち、ダイナミック型メモリセルの情報保持用キャパシタ 保持電圧を不揮発性メモリセルを構成する不揮発性記憶素子に伝える増幅MOSFETを設けてメモリセル内部でデータ転送を行うことにより、簡単な構成でダイナミック型メモリセルから不揮発性メモリセルへの全ビット同時のデータ転送が可能になる。

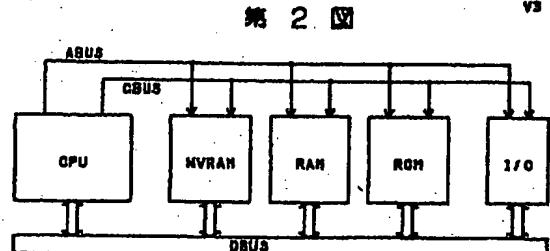
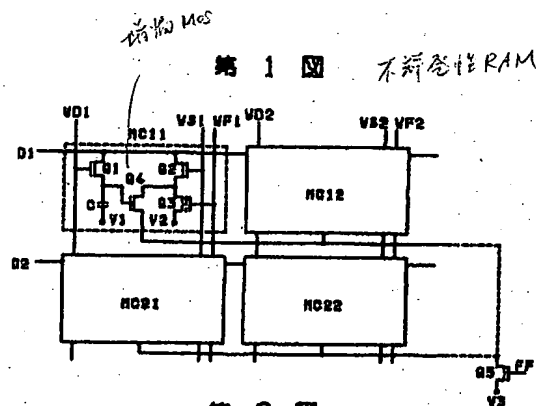
4. 図面の簡単な説明

第1図は、この発明に係る不揮発性RAMの一実施例を示す要部回路図、

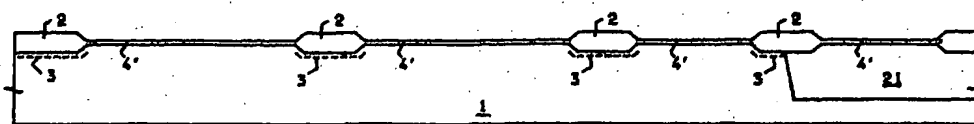
第2図は、上記不揮発性RAMを用いたマイクロコンピュータシステムの一実施例を示すブロック図、

第3A図ないし第3D図と第4図は、その製造方法の一実施例を示す工程断面図である。

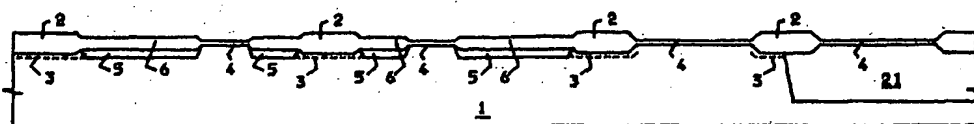
MC11～MC22・・・メモリセル、Q1・・・アドレス選択用の第1MOSFET、C・・・情報保持用のキャパシタ、Q2・・・アドレス選択用の第2MOSFET、Q3・・・FLOTOX型のスラックゲートMOSFET、Q4・・・増幅MOS



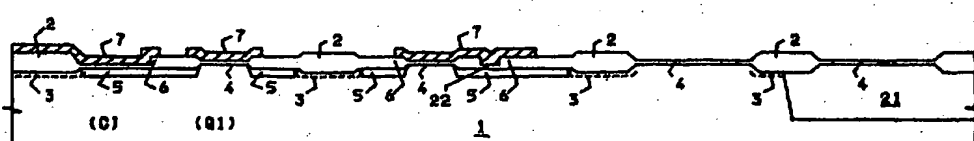
第3A図



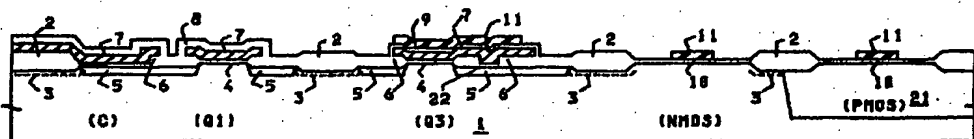
第3B図



第3C図



第3D図



第4図

